**PCS3635 – Laboratório Digital I**

Planejamento e Relatório do Experimento 4

Interface com *Leds* e botões



Turma 3 – Bancada 3

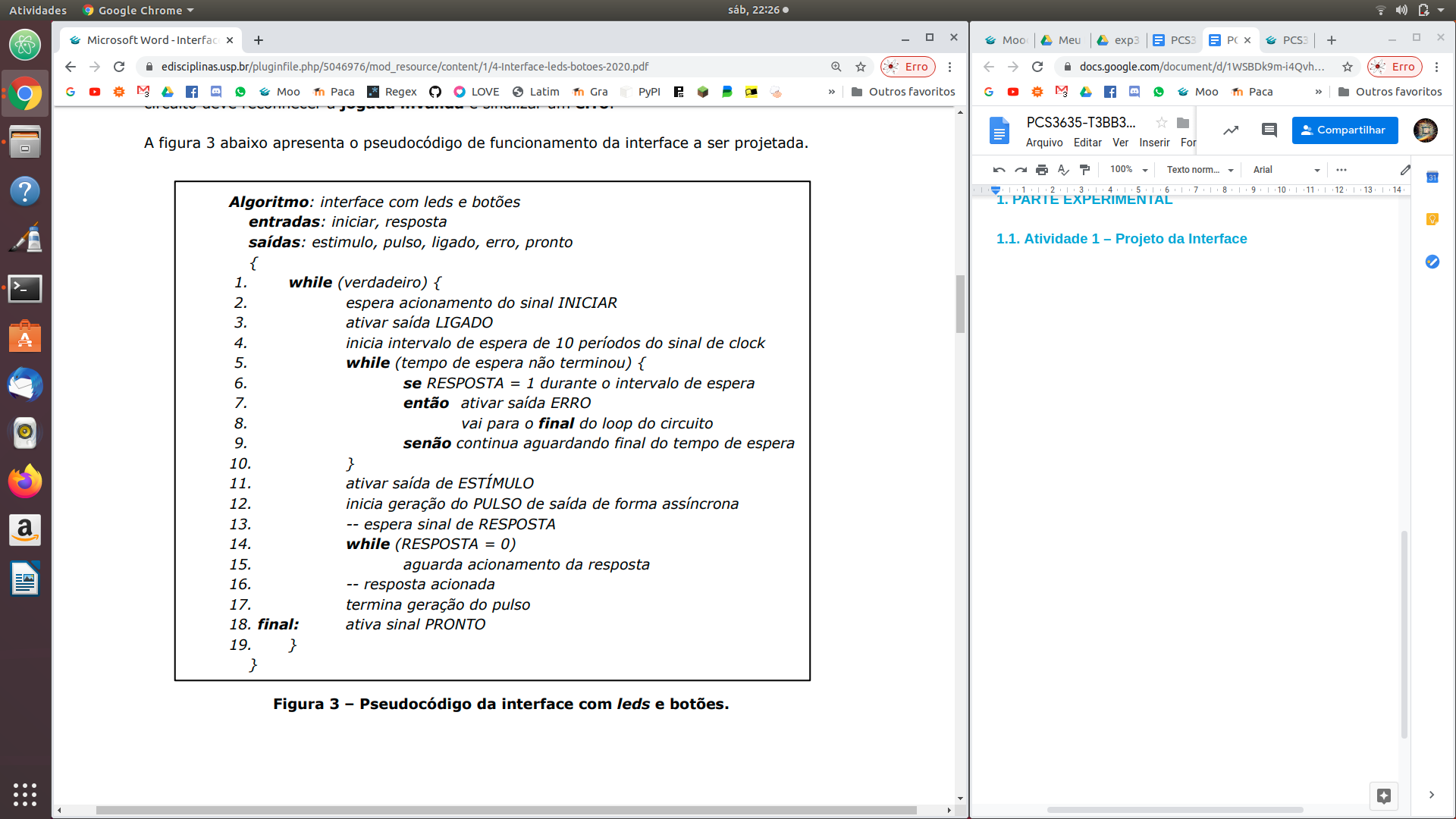
Professores:   
Paulo Sergio Cugnasca  
Edson Midorikawa

Integrantes:  
Arthur Pires da Fonseca – 10773096  
Lucas Lopes de Paula Junior - 9344880 27 de janeiro de 2020

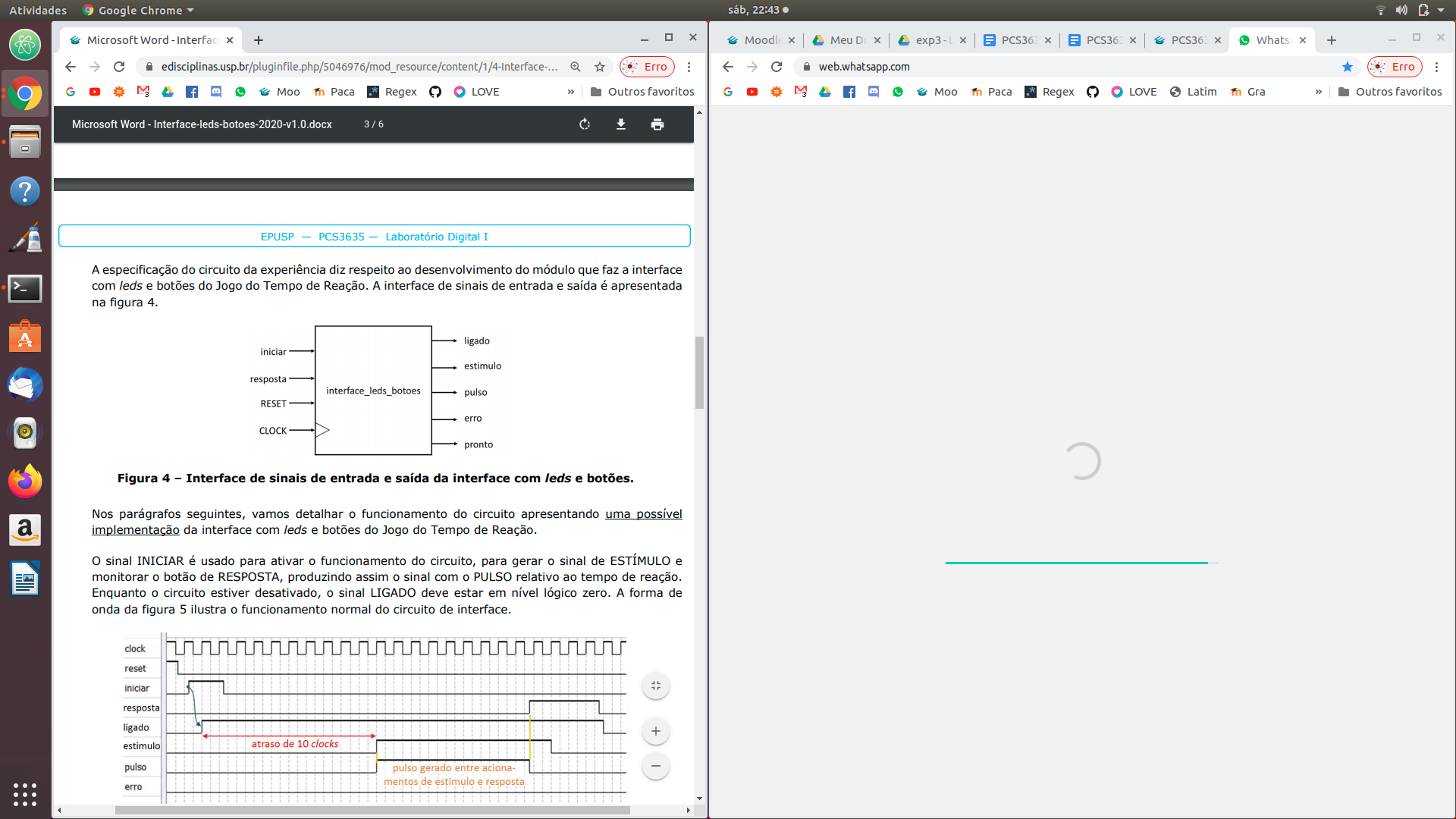
**1. PARTE EXPERIMENTAL**

**1.1. Atividade 1 – Projeto da Interface**

Nesta experiência, implementaremos a interface entre o jogador e os circuitos de contagem desenvolvidos durante as últimas semanas no laboratório. Abaixo seguem um pseudocódigo representativo de como o nosso circuito deve se comportar e o diagrama de blocos (caixa preta) com suas entradas e saídas:



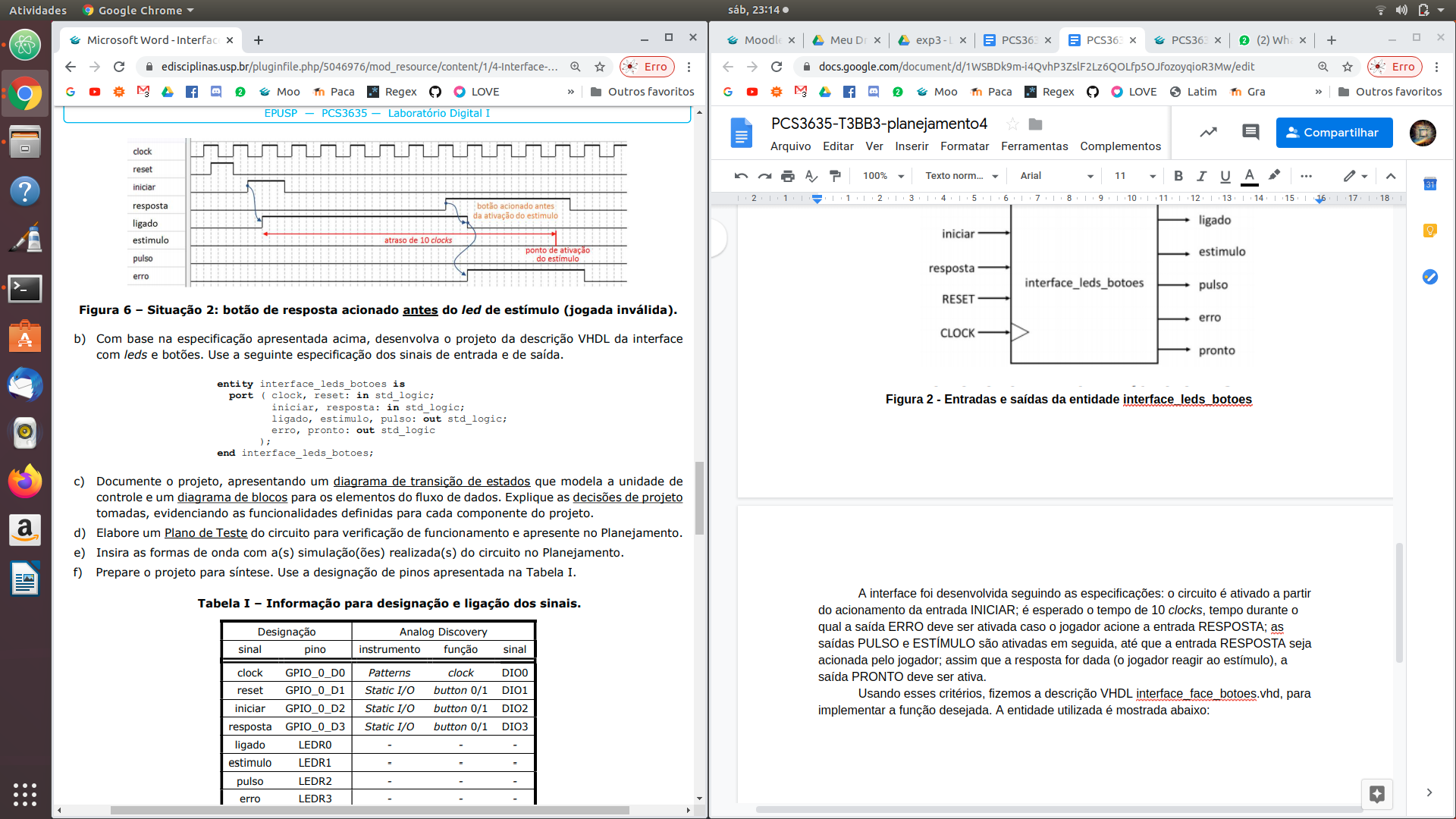
**Figura 1 - Pseudocódigo do funcionamento do sistema**

****

**Figura 2 - Entradas e saídas da entidade interface\_leds\_botoes**

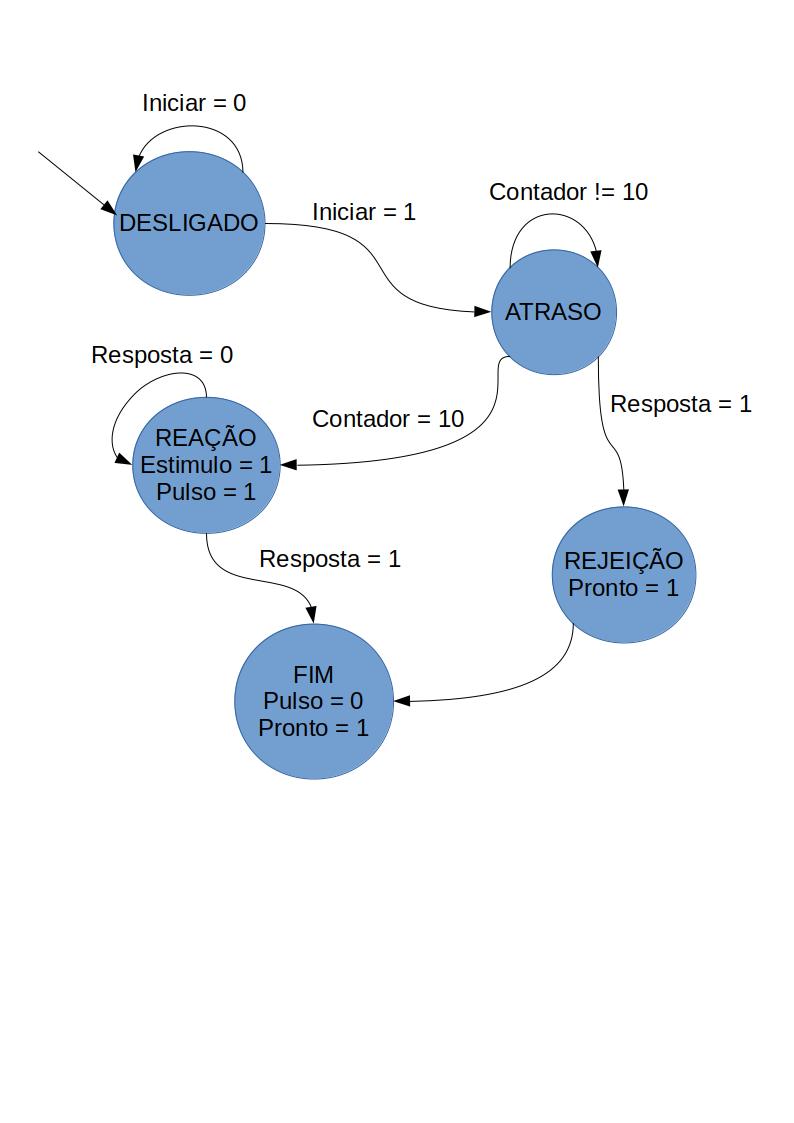
A interface foi desenvolvida seguindo as especificações: o circuito é ativado a partir do acionamento da entrada INICIAR; é esperado o tempo de 10 *clocks*, tempo durante o qual a saída ERRO deve ser ativada caso o jogador acione a entrada RESPOSTA; as saídas PULSO e ESTÍMULO são ativadas em seguida, até que a entrada RESPOSTA seja acionada pelo jogador; assim que a resposta for dada (o jogador reagir ao estímulo), a saída PRONTO deve ser ativa.

Usando esses critérios, fizemos a descrição VHDL interface\_leds\_botoes.vhd, para implementar a função desejada. A entidade utilizada é mostrada abaixo:



**Figura 3 - Entidade interface\_leds\_botoes**

Fizemos também um diagrama de transição de estados para representar o funcionamento do circuito.



**Figura 4 - Diagrama de transição de estados**

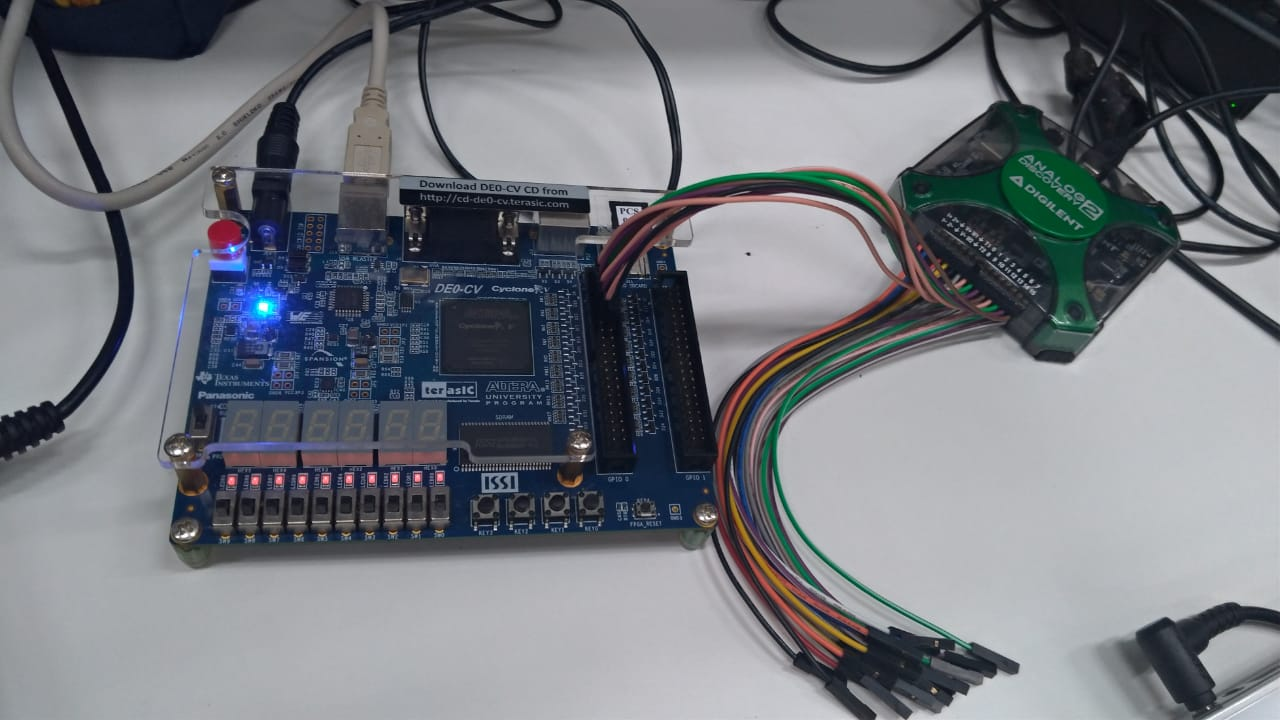
**Pinagem para o experimento**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Designação** | | | **Analog Discovery** | | |
| **sinal** | **nome** | **número** | **instrumento** | **função** | **sinal** |
| clock | GPIO\_0\_D0 | PIN\_N16 | Patterns | clock | DIO0 |
| reset | GPIO\_0\_D1 | PIN\_B16 | Static I/O | button 0/1 | DIO1 |
| iniciar | GPIO\_0\_D2 | PIN\_M16 | Static I/O | button 0/1 | DIO2 |
| resposta | GPIO\_0\_D3 | PIN\_C16 | Static I/O | button 0/1 | DIO3 |
| ligado | LEDR0 | PIN\_AA2 | Static I/O | button 0/1 | DIO4 |
| estimulo | LEDR1 | PIN\_AA1 | Static I/O | button 0/1 | DIO5 |
| pulo | LEDR2 | PIN\_W2 | Static I/O | button 0/1 | DIO6 |
| erro | LEDR3 | PIN\_Y3 | Static I/O | button 0/1 | DIO7 |
| pronto | LEDR4 | PIN\_N2 | Static I/O | button 0/1 | DIO8 |

**Plano de testes**

|  |  |  |
| --- | --- | --- |
| **Teste** | **Passos** | **Resultado observado** |
| Apertar RESET depois que iniciar | -Reset(H) | Nada acontece |
| Pressionar RESPOSTA antes de 10 *clocks* | -Resposta(H) | Sinal de ERRO pisca e sinal PRONTO fica ligado |
| Resetar de novo | -Reset(H) | Sinal LIGADO, fica desligado |
| Pressionar qualquer botão antes do INICIAR | -Qualquer sinal(H) | Nada acontece |
| Ligar o sinal INICIAR e esperar 10 ciclos de *clock* | -Iniciar(H) | Os sinais PULSO e ESTIMULO se ligaram |
| Acionar entrada RESPOSTA | -Resposta(H) | Segurando o botão de RESPOSTA, o sinal de PULSO se desliga e em seguida o de ESTIMULO também; o sinal PRONTO fica ligado |

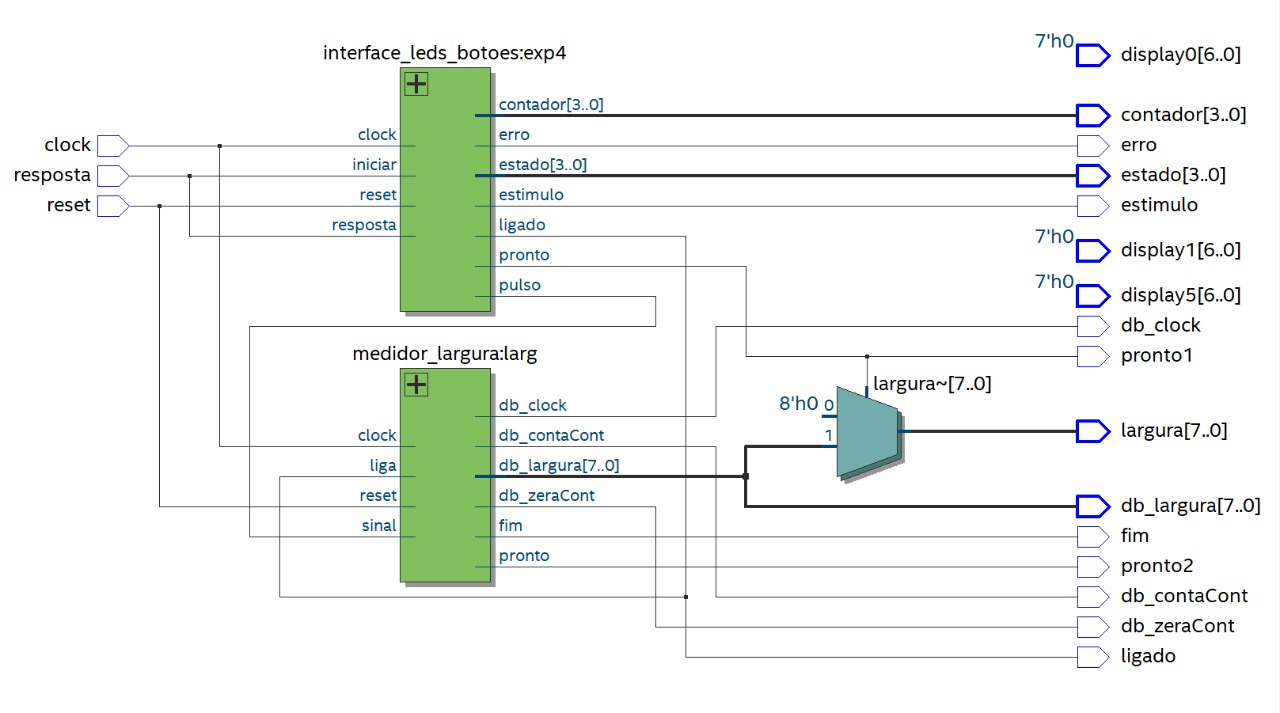
**1.2. Atividade 2 – Análise de Funcionamento**

Programamos a placa DE0-CV utilizando a pinagem mostrada anteriormente e executamos o plano de testes que tínhamos preparado.   
  


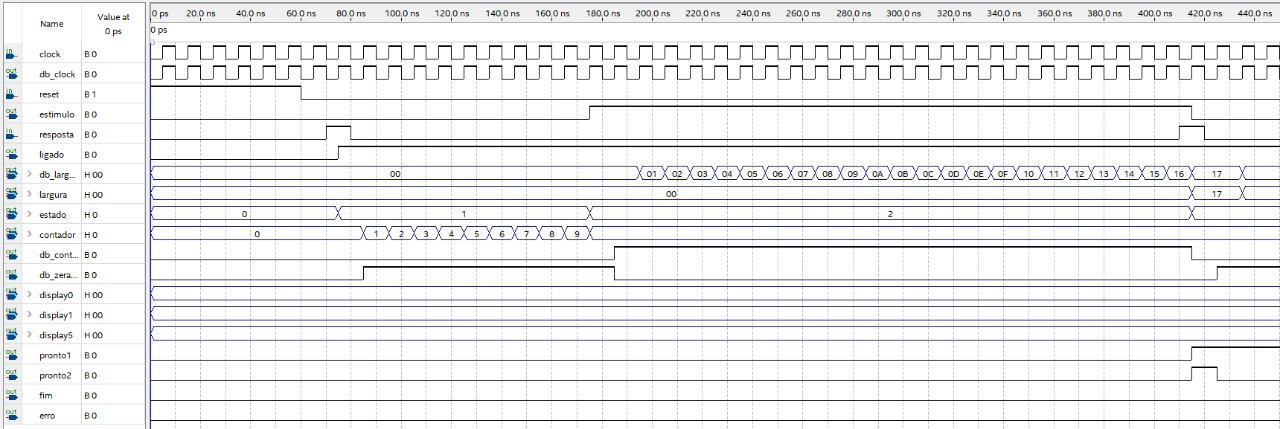
Placa DE0-CV com dispositivo Analog Discovery 2

**1.3. Atividade 3 – Desafio**

O desafio proposto foi que integrassemos as descrições VHDL desta experiência e as da anterior (exp 3). Ligamos o PULSO de saída do componente de interface ao sinal de entrada SINAL do componente medidor de largura de pulso e adicionamos à entidade exp4\_desafio as saídas de depuração dos dois subcomponentes.   
Abaixo uma imagem do diagrama RTL do circuito.



**Simulação**

Simulação feita no software Quartus

**Resultados alcançados**

Nesta experiência, usamos a placa FPGA DE0-CV para implementar nosso circuito de interface com o usuário. Os resultados experimentais concordaram com os de simulação no que tange à experiência sem contar o desafio.

Do desafio só pudemos implementar o VHDL e fazer as simulações pertinentes, apresentaremos a implementação no FPGA na próxima aula.

**Pontos positivos:**

-Conseguimos fazer nossa descrição de *hardware* funcionar durante o laboratório apesar de que não a tivéssemos preparado adequadamente no planejamento.

**Pontos negativos:**

-Gastamos boa parte do tempo de laboratório fazendo o que devíamos ter feito durante o planejamento.

-Não fomos capazes de visualizar *a priori* que o VHDL desta experiência necessitava de uma máquina de estados para ser implementado, o que nos fez criar uma descrição que não funcionava como deveria, obrigando a dupla a correr contra o tempo para gerar o código adequado após o prazo de entrega do relatório de planejamento.

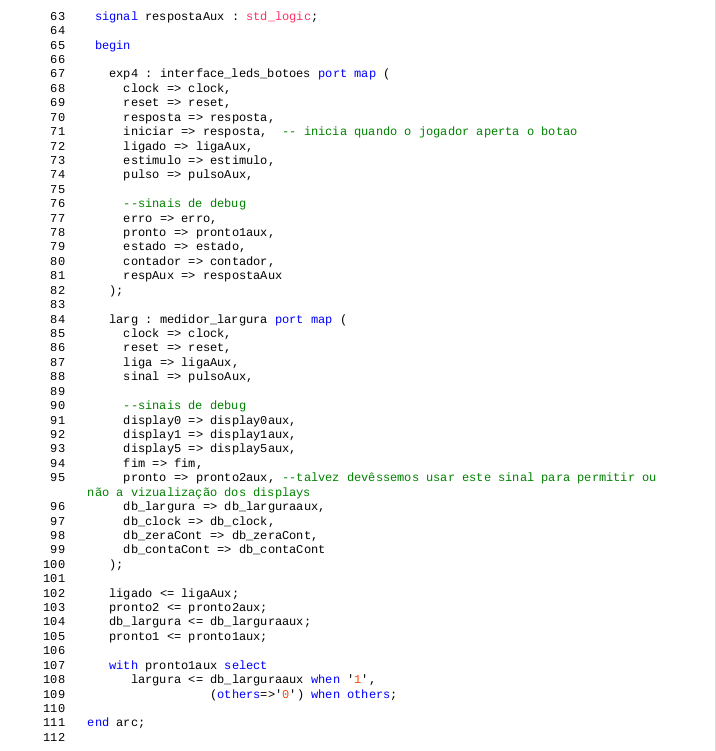
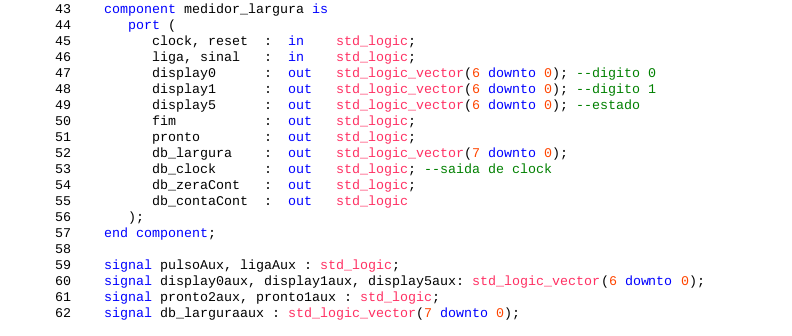
**Lições aprendidas:**

-O planejamento não pode jamais carecer dos elementos básicos para a implementação do seu projeto, se não forem compilados a tempo, causarão atrasos tremendos no fim desse projeto.

**Apêndice**

Abaixo está uma imagem do código VHDL da descrição do desafio.





**Bibliografia**

[1]<https://edisciplinas.usp.br/pluginfile.php/5046976/mod_resource/content/1/4-Interface-leds-botoes-2020.pdf>

[2]<https://edisciplinas.usp.br/pluginfile.php/5046978/mod_resource/content/1/PCS3635-4-Interface%20com%20Leds%20e%20Botoes-v1.pdf>

[3] D’Amore, R. - VHDL Descrição e Síntese de Circuitos Digitais - 2a edição, LTC